

日 本 国 特 許 庁
JAPAN PATENT OFFICE

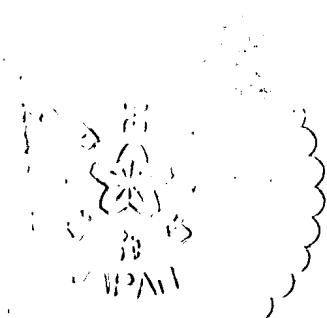
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 0 2 8 3 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 2 8 3 1]

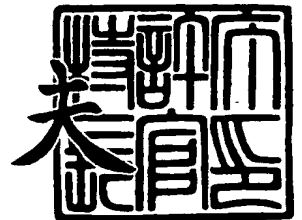
出 願 人 セイコーエプソン株式会社
Applicant(s):



2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 J0094054
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/08

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 小林 新一郎

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100110858

【弁理士】

【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

【識別番号】 100110777

【弁理士】

【氏名又は名称】 宇都宮 正明

【選任した代理人】

【識別番号】 100100413

【弁理士】

【氏名又は名称】 渡部 温

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 キー及びデータを格納するための半導体装置であって、

第 1 ～ 第 N（N は、2 以上の自然数）の記憶容量をそれぞれ有し、キー及びデータの書き込み時において、外部から入力されたキー又はデータを供給されたアドレスに格納し、キー及びデータの読み出し時において、キー及びデータが供給されたアドレスに格納されている場合に当該キー及びデータを出力し、キー及びデータが供給されたアドレスに格納されていない場合にその旨を表す第 1 の信号を出力する第 1 ～ 第 N の記憶部と、

前記第 1 ～ 第 N の記憶部へのキー及びデータの書き込み時において、前記外部から入力されたキーと前記第 1 ～ 第 N の記憶部が出力するキーとを比較し、前記外部から入力されたキーと前記第 1 ～ 第 N の記憶部が出力するキーとが一致する場合に、その旨を表す第 2 の信号を出力し、前記第 1 ～ 第 N の記憶部が前記第 1 の信号を出力する場合に、その旨を表す第 3 の信号を出力し、前記第 1 ～ 第 N の記憶部からのキー及びデータの読み出し時において、前記外部から入力されたキーと前記第 1 ～ 第 N の記憶部が出力するキーとを比較し、前記外部から入力されたキーと前記第 1 ～ 第 N の記憶部が出力するキーとが一致する場合に、前記第 1 ～ 第 N の記憶部の内の前記外部から入力されたキーと一致するキーを出力した記憶部が出力したデータを外部に出力する第 1 ～ 第 N の比較部と、

前記外部から入力されたキーを第 1 のアドレスに多対一対応させる第 1 の演算を行う第 1 の演算部と、

前記第 1 のアドレスを第 2 のアドレスに一对一対応させる第 2 の演算を行う第 2 の演算部と、

キー及びデータの書き込み時において、前記第 1 のアドレスを前記第 1 ～ 第 N の記憶部に供給し、第 M 番目（M は、N 以下の自然数）の比較部から前記第 2 の信号を受け取った場合に、前記外部から入力されたデータを前記第 M 番目の記憶部の前記第 1 のアドレスに格納させ、前記第 1 ～ 第 N の比較部のいずれからも前記第 2 の信号を受け取らず且つ前記第 1 ～ 第 N の比較部の内の 1 以上の比較部か

ら前記第3の信号を受け取った場合に、前記外部から入力されたキー及びデータを、前記第1～第Nの記憶部の内の前記第1の信号を出力した記憶部を第1の順序で配列した場合における最初の記憶部の前記第1のアドレスに格納させ、前記第1～第Nの比較部のいずれから前記第2の信号を受け取らず且つ前記第1～第Nの比較部のいずれから前記第3の信号を受け取らなかった場合に、前記第2のアドレスを前記第1～第Nの記憶部に供給し、第L番目（Lは、N以下の自然数）の比較部から前記第2の信号を受け取った場合に、前記外部から入力されたデータを前記第L番目の記憶部の前記第2のアドレスに格納させ、前記第1～第Nの比較部のいずれから前記第2の信号を受け取らず且つ前記第1～第Nの比較部の内の1以上の比較部から前記第3の信号を受け取った場合に、前記外部から入力されたキー及びデータを、前記第1～第Nの記憶部の内の前記第1の信号を出力した記憶部を第2の順序で配列した場合における最初の記憶部の前記第2のアドレスに格納させる第1の処理部と、

データの読み出し時において、前記第1のアドレスを前記第1～第Nの記憶部に供給し、前記第1～第Nの比較部のいずれから前記第2の信号を受け取らなかった場合に、前記第2のアドレスを前記第1～第Nの記憶部に供給する第2の処理部と、

を具備する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キー及びデータを格納するための半導体装置に関する。

【0002】

【従来の技術】

従来より、メモリに格納されているデータを高速に読み出すためのハッシュと呼ばれる技術が用いられている。この技術では、（i）データを、当該データを一意に特定するキーに対応づけ、（i i）キーをある関数（ハッシュ関数と呼ばれる）によって変換した結果として得られた出力をキー及びデータを格納するためのアドレスとし、（i i i）このようにして得られたアドレスに、キー及びデ

ータを格納する。また、データの読み出し時には、キーをハッシュ関数によってアドレスに変換し、このアドレスに格納されているデータを読み出す。

【0003】

一般に、ハッシュ関数においては、入力と出力が多対一対応であるため、複数の異なるキーが同一のアドレスに変換される場合がある（以下、「アドレスの重複」ともいう）。このようなアドレスの重複を防止するため、キーを変換した結果として得られるアドレスがアドレス空間に一様に分布するようなハッシュ関数を用いることが望ましいが、そのようなハッシュ関数を求めることは困難である。そのため、あるアドレスにはキー及びデータが多数集中する一方、他のアドレスにはキー及びデータが存在しないという場合が生ずる。

このようなアドレスの重複が生じた場合であっても、キー及びデータを格納することが可能な技術として、オープンハッシュ、クローズドハッシュ等がある。

【0004】

オープンハッシュ等の技術を用いた場合には、ある程度のアドレスの重複が生じた場合に、キー及びデータを格納することが可能である。しかしながら、オープンハッシュ等の技術を用いた場合であっても、ある程度以上のアドレスの重複が生じた場合には、キー及びデータを格納することができない。そのため、記憶領域を有効に利用することができなかった。

【0005】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、記憶領域を有効に利用することができる半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体装置は、キー及びデータを格納するための半導体装置であって、第1～第N（Nは、2以上の自然数）の記憶容量をそれぞれ有し、キー及びデータの書き込み時において、外部から入力されたキー又はデータを供給されたアドレスに格納し、キー及びデータの読み出し時において、キー及びデータが供給されたアドレスに格納されている場合に当該キ

ー及びデータを出力し、キー及びデータが供給されたアドレスに格納されていない場合にその旨を表す第1の信号を出力する第1～第Nの記憶部と、第1～第Nの記憶部へのキー及びデータの書き込み時において、外部から入力されたキーと第1～第Nの記憶部が出力するキーとを比較し、外部から入力されたキーと第1～第Nの記憶部が出力するキーとが一致する場合に、その旨を表す第2の信号を出力し、第1～第Nの記憶部が第1の信号を出力する場合に、その旨を表す第3の信号を出力し、第1～第Nの記憶部からのキー及びデータの読み出し時において、外部から入力されたキーと第1～第Nの記憶部が出力するキーとを比較し、外部から入力されたキーと第1～第Nの記憶部が出力するキーとが一致する場合に、第1～第Nの記憶部の内の外部から入力されたキーと一致するキーを出力した記憶部が出力したデータを外部に出力する第1～第Nの比較部と、外部から入力されたキーを第1のアドレスに多対一対応させる第1の演算を行う第1の演算部と、第1のアドレスを第2のアドレスに一対一対応させる第2の演算を行う第2の演算部と、キー及びデータの書き込み時において、第1のアドレスを第1～第Nの記憶部に供給し、第M番目（Mは、N以下の自然数）の比較部から第2の信号を受け取った場合に、外部から入力されたデータを第M番目の記憶部の第1のアドレスに格納させ、第1～第Nの比較部のいずれから第2の信号を受け取らず且つ第1～第Nの比較部の内の1以上の比較部から第3の信号を受け取った場合に、外部から入力されたキー及びデータを、第1～第Nの記憶部の内の第1の信号を出力した記憶部を第1の順序で配列した場合における最初の記憶部の第1のアドレスに格納させ、第1～第Nの比較部のいずれから第2の信号を受け取らず且つ第1～第Nの比較部のいずれから第3の信号を受け取らなかった場合に、第2のアドレスを第1～第Nの記憶部に供給し、第L番目（Lは、N以下の自然数）の比較部から第2の信号を受け取った場合に、外部から入力されたデータを第L番目の記憶部の第2のアドレスに格納させ、第1～第Nの比較部のいずれから第2の信号を受け取らず且つ第1～第Nの比較部の内の1以上の比較部から第3の信号を受け取った場合に、外部から入力されたキー及びデータを、第1～第Nの記憶部の内の第1の信号を出力した記憶部を第2の順序で配列した場合における最初の記憶部の第2のアドレスに格納させる第1の処理部と、デー

タの読み出し時において、第1のアドレスを第1～第Nの記憶部に供給し、第1～第Nの比較部のいずれからも第2の信号を受け取らなかった場合に、第2のアドレスを第1～第Nの記憶部に供給する第2の処理部とを具備する。

【0007】

以上の構成によれば、記憶領域を有効に利用することができる。

【0008】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

図1は、本発明の一実施形態に係る半導体装置を示す図である。図1に示すように、半導体装置1は、第1ハッシュ関数演算部2と、第2ハッシュ関数演算部3と、データ書込処理部4と、データ読出処理部5と、メモリ6～10と、キー比較部11～15とを具備する。

【0009】

第1ハッシュ関数演算部2には、外部回路からキーが入力される。第1ハッシュ関数演算部2は、入力されたキーを第1のアドレスに多対一対応させる第1のハッシュ関数

$$y = \text{hash1}(x) \quad \dots (1)$$

の演算を行う。(1)式において、 x は入力されたキーであり、 y は第1のアドレスである。第1ハッシュ関数演算部2は、入力されたキーに基づいて算出した第1のアドレスを第2ハッシュ関数演算部3、データ書込処理部4、及び、データ読出処理部5に出力する。

【0010】

第2ハッシュ関数演算部3は、第1のアドレスを第2のアドレスに一一対一対応させる第2のハッシュ関数

$$y = \text{hash2}(x) \quad \dots (2)$$

の演算を行う。(2)式において、 x は第1のアドレスであり、 y は第2のアドレスである。第2ハッシュ関数演算部3は、第1のアドレスに基づいて算出した第2のアドレスをデータ書込処理部4及びデータ読出処理部5に出力する。なお、第2のハッシュ関数は、入力 x (第1のアドレス)と出力 y (第2のアドレス

）が同じ値にならないような関数となっている。第2のハッシュ関数としては、キーのMSB (Most Significant Bit) を反転し、更にGray Code変換する関数等を用いることができる。

【0011】

半導体装置1のデータ書き込み動作時において、外部回路から、キーが第1ハッシュ関数演算部2、データ書込処理部4、及び、キー比較部11～15に入力され、データ、及び、ライト信号がデータ書込処理部4に入力される。ここで、図2～図7を参照しながら、半導体装置1のデータ書き込み動作について説明する。図2～図7は、メモリ6～10に格納されているキー及びデータを示す図である。

【0012】

メモリ6～10は、同じ記憶容量を有しており、同じアドレス空間にマッピングされている。本実施形態においては、図2に示すように、キーa及びデータ α がメモリ6のアドレスAに、キーb及びデータ β がメモリ7のアドレスAに、キーc及びデータ γ がメモリ8のアドレスAに、それぞれ格納されているものとする。また、キーh及びデータ θ がメモリ6のアドレスCに、キーi及びデータ ι がメモリ7のアドレスCに、キーj及びデータ κ がメモリ8のアドレスCに、キーk及びデータ λ がメモリ9のアドレスCに、キーl及びデータ μ がメモリ10のアドレスCに、それぞれ格納されているものとする。さらに、キーn及びデータ ξ がメモリ6のアドレスDに、キーo及びデータ \omicron がメモリ7のアドレスDに、キーp及びデータ π がメモリ6のアドレスEに、それぞれ格納されているものとする。このとき、

$$A = \text{hash1}(a) = \text{hash1}(b) = \text{hash1}(c) \quad \dots (3)$$

$$\begin{aligned} C &= \text{hash1}(h) = \text{hash1}(i) = \text{hash1}(j) \\ &= \text{hash1}(k) = \text{hash1}(l) \quad \dots (4) \end{aligned}$$

$$D = \text{hash1}(n) = \text{hash1}(o) \quad \dots (5)$$

$$E = \text{hash1}(p) \quad \dots (6)$$

である。

【0013】

ここで、

$$A = \text{hash1}(d) \cdots (7)$$

$$D = \text{hash2}(A) \cdots (8)$$

となるようなキー d 、データ δ 、及び、ライト信号が外部回路から半導体装置 1 に入力されると、第 1 ハッシュ関数演算部 2 は、第 1 のアドレスとしてのアドレス A を第 2 ハッシュ関数演算部 3 及びデータ書込処理部 4 に出力し、第 2 ハッシュ関数演算部 3 は、第 2 のアドレスとしてのアドレス D をデータ書込処理部 4 に出力する。

データ書込処理部 4 は、アドレス A 及び D を受け取ると、まず、アドレス A をメモリ 6～10 に出力する。

【0014】

メモリ 6～8 は、アドレス A が入力されると、キー $a \sim c$ をキー比較部 11～13 にそれぞれ出力し、メモリ 9 及び 10 は、キー及びデータが格納されていないことを表す第 1 の信号（例えば、0 x f f f f 等）をキー比較部 14 及び 15 に出力する。

データ書き込み動作時において、キー比較部 11～15 は、外部回路から入力されているキーとメモリ 6～10 が出力するキーとを比較して一致するか否かをそれぞれ判断し、一致する場合にはその旨を表す第 2 の信号をデータ書込処理部 4 及びデータ読出処理部 5 に出力する。ここでは、外部回路から入力されるキー d とメモリ 6～8 がそれぞれ出力するキー $a \sim c$ とが一致しないため、キー比較部 11～13 は、第 2 の信号を出力しない。また、キー比較部 14 及び 15 は、メモリ 9 及び 10 のアドレス A にキー及びデータが格納されていないことを表す第 3 の信号をデータ書込処理部 4 にそれぞれ出力する。

【0015】

データ書込処理部 4 は、第 1 のアドレス（ここでは、アドレス A ）を出力したときに、キー比較部 11～15 のいずれかから第 2 の信号を受信した場合には、メモリ 6～10 の内のキー d を格納しているメモリのアドレス A にデータ δ を格納（上書き）させる。また、データ書込処理部 4 は、キー比較部 11～15 のい

ずれから第2の信号を受け取らず且つキー比較部11～15の内の1以上の比較部から第3の信号を受け取った場合に、キーd及びデータδを、メモリ6～10の内の第1の信号を出力したメモリをメモリ6からメモリ10に向かう順序でチェックした場合における最初のメモリのアドレスAに格納させる。

本実施形態においては、キー比較部11～13のいずれもが第2の信号を出力せず、また、キー比較部14及び15が第3の信号をそれぞれ出力するため、データ書込処理部4は、キーd及びデータδをメモリ9のアドレスAに格納させる。図3は、メモリ9のアドレスAにキーd及びデータδが格納された様子を示す図である。

【0016】

次に、

$$A = \text{hash1}(e) \cdots (9)$$

$$D = \text{hash2}(A) \cdots (10)$$

となるようなキーe、データε、及び、ライト信号が外部回路から半導体装置1に入力されると、第1ハッシュ関数演算部2は、第1のアドレスとしてのアドレスAを第2ハッシュ関数演算部3及びデータ書込処理部4に出力し、第2ハッシュ関数演算部3は、第2のアドレスとしてのアドレスDをデータ書込処理部4に出力する。

データ書込処理部4は、アドレスA及びDを受け取ると、まず、アドレスAをメモリ6～10に出力する。

【0017】

メモリ6～9は、アドレスAを受け取ると、キーa～dをキー比較部11～14にそれぞれ出力し、メモリ10は、第1の信号をキー比較部15に出力する。

キー比較部11～14は、外部回路から入力されるキーeとメモリ6～9がそれぞれ出力するキーa～dとが一致しないため、第2の信号を出力しない。また、キー比較部15は、第3の信号をデータ書込処理部4に出力する。

【0018】

キー比較部11～14のいずれもが第2の信号を出力せず、また、キー比較部15が第3の信号を出力するため、データ書込処理部4は、メモリ10のアドレ

スAにキーe及びデータεを格納させる。図4は、メモリ10のアドレスAにキーe及びデータεが格納された様子を示す図である。

【0019】

次に、

$$A = \text{hash1}(f) \cdots (11)$$

$$D = \text{hash2}(A) \cdots (12)$$

となるようなキーf、データε、及び、ライト信号が外部回路から半導体装置1に入力されると、第1ハッシュ関数演算部2は、アドレスAを第2ハッシュ関数演算部3及びデータ書込処理部4に出力し、第2ハッシュ関数演算部3は、アドレスDをデータ書込処理部4に出力する。

データ書込処理部4は、アドレスA及びDを受け取ると、まず、アドレスAをメモリ6～10に出力する。

【0020】

メモリ6～10は、アドレスAを受け取ると、キーa～eをキー比較部11～15にそれぞれ出力する。

キー比較部11～15は、外部回路から入力されるキーfとメモリ6～10がそれぞれ出力するキーa～eとが一致しないため、第2の信号を出力しない。

データ書込処理部4は、キー比較部11～15のいずれもが第2の信号及び第3の信号を出力しないため、アドレスDをメモリ6～10に出力する。

【0021】

アドレスDを受け取ると、メモリ6及び7は、キーn及びoをキー比較部11～12にそれぞれ出力し、メモリ8～10は、第1の信号をキー比較部13～15にそれぞれ出力する。

キー比較部11及び12は、外部回路から入力されるキーfとメモリ6及び7が出力するキーn及びoとが一致しないため、いずれも第2の信号を出力しない。また、キー比較部13～15は、第3の信号をデータ書込処理部4にそれぞれ出力する。

【0022】

データ書込処理部4は、第2のアドレス（ここでは、アドレスD）を出力した

ときに、キー比較部 11～15 のいずれかから第 2 の信号を受信した場合には、メモリ 6～10 の内のキー f を格納しているメモリのアドレス A にデータ ζ を格納（上書き）させる。また、データ書込処理部 4 は、キー比較部 11～15 のいずれからも第 2 の信号を受け取らず且つキー比較部 11～15 の内の 1 以上の比較部から第 3 の信号を受け取った場合に、キー f 及びデータ ζ を、メモリ 6～10 の内の第 1 の信号を出力したメモリをメモリ 10 からメモリ 6 に向かう順序でチェックした場合における最初のメモリのアドレス D に格納させる。

本実施形態においては、キー比較部 11 及び 12 のいずれもが第 2 の信号を出力せず、また、キー比較部 13～15 が第 3 の信号を出力するため、データ書込処理部 4 は、キー f 及びデータ ζ をメモリ 10 のアドレス D に格納させる。図 5 は、メモリ 10 のアドレス D にキー f 及びデータ ζ が格納された様子を示す図である。

【0023】

次に、

$$A = \text{hash1}(g) \quad \dots (13)$$

$$D = \text{hash2}(A) \quad \dots (14)$$

となるようなキー g、データ η、及び、ライト信号が外部回路から半導体装置 1 に入力されると、第 1 ハッシュ関数演算部 2 は、第 1 のアドレスとしてのアドレス A を第 2 ハッシュ関数演算部 3 及びデータ書込処理部 4 に出力し、第 2 ハッシュ関数演算部 3 は、第 2 のアドレスとしてのアドレス D をデータ書込処理部 4 に出力する。

データ書込処理部 4 は、アドレス A 及び D を受け取ると、まず、アドレス A をメモリ 6～10 に出力する。

【0024】

メモリ 6～10 は、アドレス A を受け取ると、キー a～e をキー比較部 11～15 にそれぞれ出力する。

キー比較部 11～15 は、外部回路から入力されるキー g とメモリ 6～10 が出力するキー a～e とが一致しないため、第 2 の信号を出力しない。

データ書込処理部 4 は、キー比較部 11～15 のいずれもが第 2 の信号を出力

しないため、アドレスDをメモリ6～10に出力する。

【0025】

アドレスDを受け取ると、メモリ6及び7及び10は、キーn及びo及びfをキー比較部11及び12及び15にそれぞれ出力し、メモリ8及び9は、第1の信号をキー比較部13及び14にそれぞれ出力する。

キー比較部11及び12及び15は、外部回路から入力されるキーgとメモリ6及び7及び10がそれぞれ出力するキーn及びo及びfとが一致しないため、いずれも第2の信号を出力しない。また、キー比較部13及び14は、第3の信号をそれぞれ出力する。

【0026】

キー比較部11及び12及び15のいずれもが第2のを出力せず、また、キー比較部13及び14が第3の信号を出力するため、データ書込処理部4は、キーg及びデータηをメモリ9のアドレスDに格納させる。図6は、メモリ9のアドレスDにキーf及びデータζが格納された様子を示す図である。

【0027】

次に、

$$C = \text{hash1}(m) \cdots (15)$$

$$B = \text{hash2}(C) \cdots (16)$$

となるようなキーm、データη、及び、ライト信号が外部回路から半導体装置1に入力されると、第1ハッシュ関数演算部2は、第1のアドレスとしてのアドレスCを第2ハッシュ関数演算部3及びデータ書込処理部4に出力し、第2ハッシュ関数演算部3は、第2のアドレスとしてのアドレスBをデータ書込処理部4に出力する。

データ書込処理部4は、アドレスC及びBを受け取ると、まず、アドレスCをメモリ6～10に出力する。

【0028】

メモリ6～10は、アドレスCを受け取ると、キーh～lをキー比較部11～15にそれぞれ出力する。

キー比較部11～15は、外部回路から入力されるキーmとメモリ6～10が

出力するキー $h \sim 1$ とが一致しないため、第 2 の信号を出力しない。

データ書込処理部 4 は、キー比較部 11 ~ 15 のいずれもが第 2 の信号を出力しないため、アドレス B をメモリ 6 ~ 10 に出力する。

【0029】

メモリ 6 ~ 10 は、アドレス B を受け取ると、第 1 の信号ををキー比較部 11 ~ 15 にそれぞれ出力する。

キー比較部 11 ~ 15 が、第 2 の信号を出力せず、第 3 の信号をそれぞれ出力するため、データ書込処理部 4 は、キー m 及びデータ ι をメモリ 10 のアドレス B に格納させる。図 7 は、メモリ 9 のアドレス D にキー f 及びデータ ζ が格納された様子を示す図である。

【0030】

次に、半導体装置 1 のデータ読み出し動作について説明する。ここでは、図 7 中のメモリ 9 のアドレス D に格納されているデータ η を読み出す場合について説明する。

半導体装置 1 のデータ読み出し動作時において、外部回路から、キーが第 1 ハッシュ関数演算部 2 及びキー比較部 11 ~ 15 に入力され、リード信号がデータ読出処理部 5 に入力される。キー g が入力されると、第 1 ハッシュ関数演算部 2 は、第 1 のアドレスとしてのアドレス A を第 2 ハッシュ関数演算部 3 及びデータ読出処理部 5 に出力し、第 2 ハッシュ関数演算部 3 は、第 2 のアドレスとしてのアドレス D をデータ読出処理部 5 に出力する。

データ読出処理部 5 は、アドレス A 及び D を受け取ると、まず、アドレス A をメモリ 6 ~ 10 に出力する。

【0031】

メモリ 6 ~ 10 は、アドレス A を受け取ると、キー $a \sim e$ 及びデータ $\alpha \sim \epsilon$ をキー比較部 11 ~ 15 にそれぞれ出力する。

データ読み出し動作時において、キー比較部 11 ~ 15 は、外部回路から入力されているキーとメモリ 6 ~ 10 が出力するキーとをそれぞれ比較し、一致する場合には第 2 の信号をデータ読出処理部 5 に出力するとともに、一致するキーに対応づけられたデータを外部回路に出力する。ここでは、外部回路から入力され

るキー g とメモリ 6 ～ 1 0 がそれぞれ出力するキー a ～ e とが一致しないため、キー比較部 1 1 ～ 1 5 は、第 2 の信号を出力せず、データ $\alpha \sim \varepsilon$ のいずれをも外部回路に出力しない。

【 0 0 3 2 】

データ読出処理部 5 は、キー比較部 1 1 ～ 1 5 のいずれかから第 2 の信号を受信した場合には処理を終了するが、本実施形態においては、キー比較部 1 1 ～ 1 5 のいずれもが第 2 の信号を出力しないため、アドレス D をメモリ 6 ～ 1 0 に出力する。

【 0 0 3 3 】

アドレス D を受け取ると、メモリ 6 及び 7 及び 9 及び 1 0 は、キー n 及びデータ ξ 、キー o 及びデータ θ 、キー g 及びデータ η 、並びに、キー f 及びデータ ζ をキー比較部 1 1 及び 1 2 及び 1 4 及び 1 5 にそれぞれ出力する。また、メモリ 8 は、第 1 の信号をキー比較部 1 3 に出力する。

キー比較部 1 4 は、外部回路から入力されるキー g とメモリ 9 が出力するキー g とが一致するため、第 2 の信号をデータ読出処理部 5 に出力するとともに、データ η を外部回路に出力する。

データ読出処理部 5 は、キー比較部 1 4 から第 2 の信号を受信すると、処理を終了する。

【 0 0 3 4 】

このように、本実施形態によれば、メモリ 6 ～ 1 0 を有効に利用することができる。コンピュータシミュレーションを行った結果によれば、従来技術におけるメモリの利用率は 6 0 % 程度であるが、本実施形態におけるメモリ 6 ～ 1 0 の利用率は 9 0 % 程度となる。

【 0 0 3 5 】

なお、本実施形態においては、メモリ 6 ～ 1 0 の記憶容量を同一としているが、図 8 に示すように、メモリ 6 ～ 1 0 の記憶容量の比を 1 6 : 8 : 4 : 2 : 1 とすることとしても良いし、その他の比率とすることとしても良い。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係る半導体装置の構成を示す図。

【図 2】 図 1 のメモリ 6 ～ 10 に格納されているデータを示す図。

【図 3】 図 1 のメモリ 6 ～ 10 に格納されているデータを示す図。

【図 4】 図 1 のメモリ 6 ～ 10 に格納されているデータを示す図。

【図 5】 図 1 のメモリ 6 ～ 10 に格納されているデータを示す図。

【図 6】 図 1 のメモリ 6 ～ 10 に格納されているデータを示す図。

【図 7】 図 1 のメモリ 6 ～ 10 に格納されているデータを示す図。

【図 8】 メモリ 6 ～ 10 の記憶容量の比率の例を示す図。

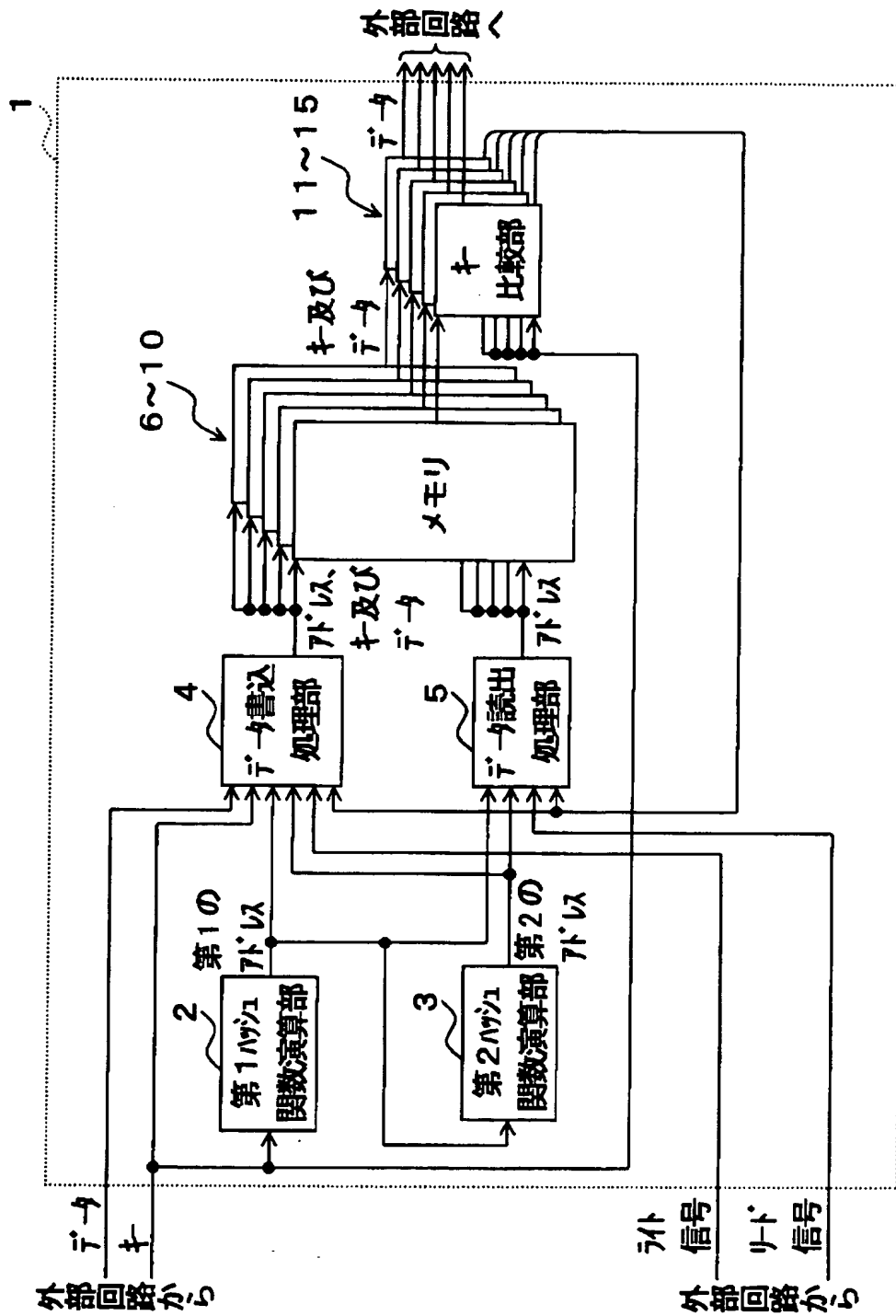
【符号の説明】

1 半導体装置、2 第 1 ハッシュ関数演算部、3 第 2 ハッシュ関数演算部
、4 データ書込処理部、5 データ読出処理部、6 ～ 10 メモリ 11 ～ 15
キー比較部

【書類名】

図面

【図1】



【図 2】

アドレス	メモリ6	メモリ7	メモリ8	メモリ9	メモリ10
A	← a → α	← b → β	← c → γ	空き	空き
B	空き	空き	空き	空き	空き
C	← h → θ	← i → ι	← j → ϰ	← k → λ	← l → μ
D	← n → ξ	← o → ο	空き	空き	空き
E	← p → π	空き	空き	空き	空き

A ← hash1 (a) ← hash1 (b) ← hash1 (c)
B ← hash2 (c)
C ← hash1 (h) ← hash1 (i) ← hash1 (j) ← hash1 (k) ← hash1 (l)
D ← hash1 (n) ← hash1 (o)
E ← hash1 (p)

【図 3】

アドレス	メモリ6	メモリ7	メモリ8	メモリ9	メモリ10
A	<div>← a → α</div>	<div>← b → β</div>	<div>← c → γ</div>	<div>← d → δ</div>	空き
B	空き	空き	空き	空き	空き
C	<div>← h → θ</div>	<div>← i → ι</div>	<div>← j → κ</div>	<div>← k → λ</div>	<div>← l → μ</div>
D	<div>← n → ξ</div>	<div>← o → ο</div>	空き	空き	空き
E	<div>← p → π</div>	空き	空き	空き	空き

A←hash1(a)←hash1(b)←hash1(c)←hash1(d)
B←hash2(c)
C←hash1(h)←hash1(i)←hash1(j)←hash1(k)←hash1(l)
D←hash1(n)←hash1(o)
E←hash1(p)

【図 4】

アドレス	メモリ6	メモリ7	メモリ8	メモリ9	メモリ10
A	<div>← a → α</div>	<div>← b → β</div>	<div>← c → γ</div>	<div>← d → δ</div>	<div>← e → ε</div>
B	空き	空き	空き	空き	空き
C	<div>← h → θ</div>	<div>← i → ι</div>	<div>← j → κ</div>	<div>← k → λ</div>	<div>← l → μ</div>
D	<div>← n → ξ</div>	<div>← o → ο</div>	空き	空き	空き
E	<div>← p → π</div>	空き	空き	空き	空き

A←hash1(a)←hash1(b)←hash1(c)←hash1(d)←hash1(e)
B←hash2(C)
C←hash1(h)←hash1(i)←hash1(j)←hash1(k)←hash1(l)
D←hash1(n)←hash1(o)
E←hash1(p)

【図 5】

アドレス	メモリ6	メモリ7	メモリ8	メモリ9	メモリ10
A	<div>← a → α</div>	<div>← b → β</div>	<div>← c → γ</div>	<div>← d → δ</div>	<div>← e → ε</div>
B	空き	空き	空き	空き	空き
C	<div>← h → θ</div>	<div>← i → ι</div>	<div>← j → κ</div>	<div>← k → λ</div>	<div>← l → μ</div>
D	<div>← n → ξ</div>	<div>← o → ο</div>	空き	空き	<div>← f → ζ</div>
E	<div>← p → π</div>	空き	空き	空き	空き

A←hash1(a)←hash1(b)←hash1(c)←hash1(d)←hash1(e)←hash1(f)
B←hash2(C)
C←hash1(h)←hash1(i)←hash1(j)←hash1(k)←hash1(l)
D←hash1(n)←hash1(o)←hash2(A←hash1(f))
E←hash1(p)

【図 6】

アドレス	メモリ6	メモリ7	メモリ8	メモリ9	メモリ10
A	← a → α	← b → β	← c → γ	← d → δ	← e → ε
B	空き	空き	空き	空き	空き
C	← h → θ	← i → ι	← j → κ	← k → λ	← l → μ
D	← n → ξ	← o → ο	空き	← g → η	← f → ζ
E	← p → π	空き	空き	空き	空き

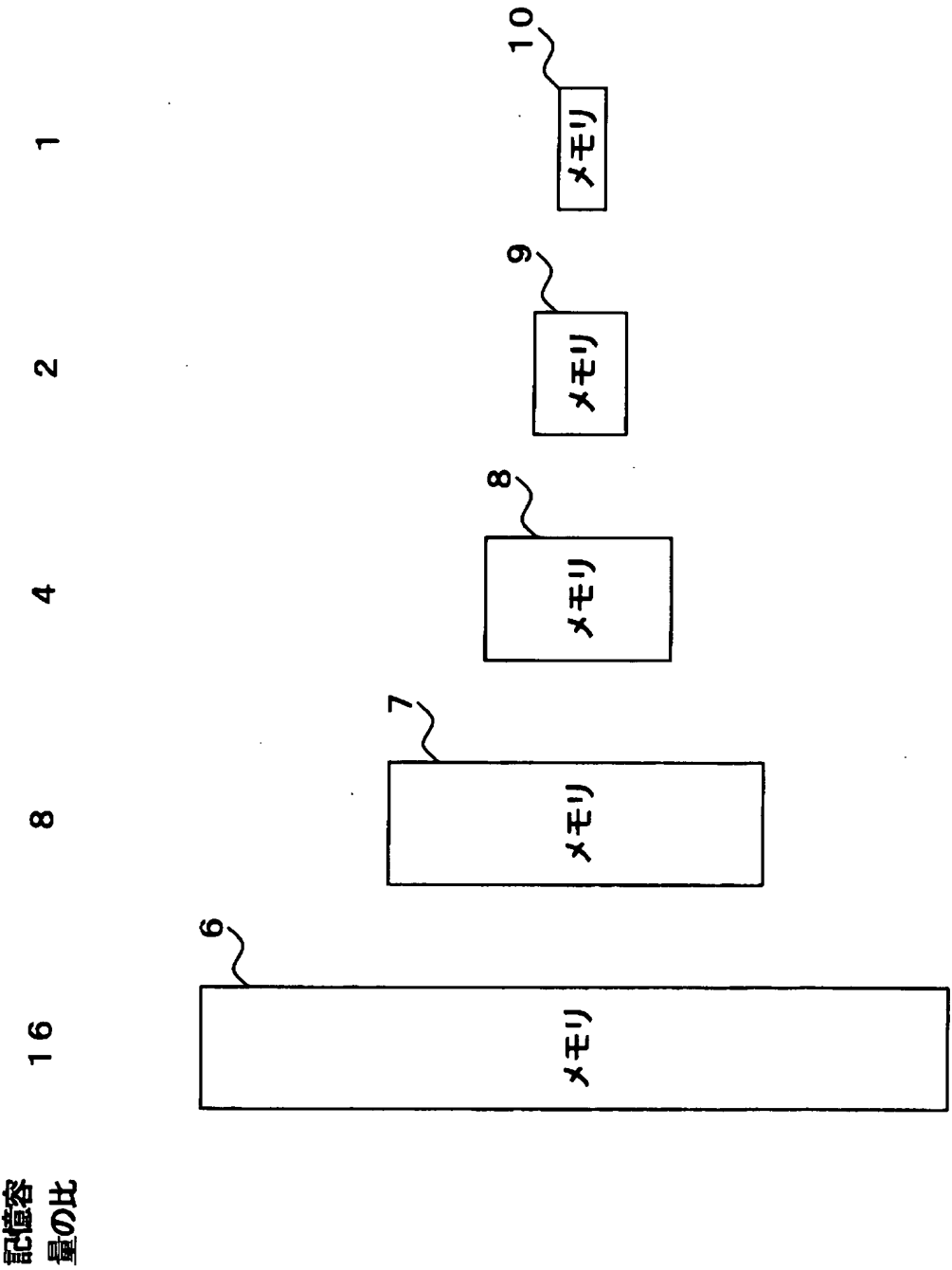
A ← hash1 (a) → hash1 (b) → hash1 (c) → hash1 (d) → hash1 (e) → hash1 (f) → hash1 (g)
B ← hash2 (C)
C ← hash1 (h) → hash1 (i) → hash1 (j) → hash1 (k) → hash1 (l)
D ← hash1 (n) → hash1 (o) → hash2 (A → hash1 (f)) → hash2 (A → hash1 (g))
E ← hash1 (p)

【図 7】

アドレス	メモリ6	メモリ7	メモリ8	メモリ9	メモリ10
A	<div>← a → α</div>	<div>← b → β</div>	<div>← c → γ</div>	<div>← d → δ</div>	<div>← e → ε</div>
B	空き	空き	空き	空き	<div>← m → μ</div>
C	<div>← h → θ</div>	<div>← i → ι</div>	<div>← j → κ</div>	<div>← k → λ</div>	<div>← l → μ</div>
D	<div>← n → ξ</div>	<div>← o → ο</div>	空き	<div>← g → η</div>	<div>← f → ζ</div>
E	<div>← p → π</div>	空き	空き	空き	空き

A ← hash1 (a) → hash1 (b) → hash1 (c) → hash1 (d) → hash1 (e)
B ← hash2 (C → hash1 (m))
C ← hash1 (h) → hash1 (i) → hash1 (j) → hash1 (k) → hash1 (l) → hash1 (m)
D ← hash1 (n) → hash1 (o) → hash2 (A → hash1 (f)) → hash2 (A → hash1 (g))
E ← hash1 (p)

【図 8】



【書類名】 要約書

【要約】

【課題】 記憶領域を有効に利用することができる半導体装置を提供する。

【解決手段】 外部から入力されたキー又はデータを供給されたアドレスに格納するメモリ 6～10 と、外部から入力されたキーとメモリ 6～10 が出力するキーとを比較するキー比較部 11～15 と、外部から入力されたキーを第 1 のアドレスに多対一対応させる第 1 ハッシュ関数演算部 2 と、第 1 のアドレスを第 2 のアドレスに一対一対応させる第 2 の演算を行う第 2 ハッシュ関数演算部 3 と、第 1 又は第 2 のアドレスをメモリ 6～10 に供給し、データを格納させるデータ書込処理部 4 と、第 1 又は第 2 のアドレスをメモリ 6～10 に供給し、データを読み出すデータ読出処理部 5 とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 2 8 3 1
受付番号	5 0 3 0 0 0 2 2 6 6 9
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 1 月 1 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月 9日
-------	-------------

次頁無

特願 2 0 0 3 - 0 0 2 8 3 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社